

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-93969

(43)公開日 平成7年(1995)4月7日

(51)Int.Cl. ⁶ G 11 C 11/22 C 01 G 1/00 29/00	識別記号 S ZAA	序内整理番号 8832-4M 7210-4M	F I H 01 L 27/ 04 27/ 10	技術表示箇所 C 3 2 5 J
		審査請求 未請求 請求項の数 1	OL (全 6 頁)	最終頁に続く

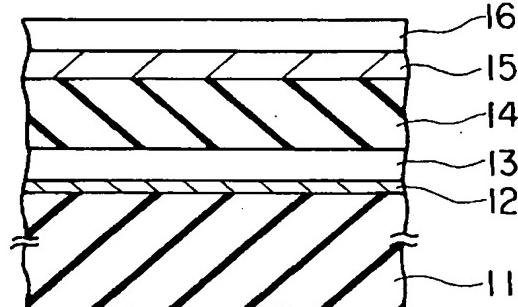
(21)出願番号 特願平5-235330	(71)出願人 000000376 オリンパス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号
(22)出願日 平成5年(1993)9月22日	(71)出願人 590006468 シメトリックス・コーポレーション SYMETRIX CORPORATION アメリカ合衆国、コロラド州 80918、コ ロラド・スプリングス、ナンバー100、マ ーク・ダブリング・ブルバード 5055
	(72)発明者 三原 孝士 東京都渋谷区幡ヶ谷2丁目43番2号 オリ ンパス光学工業株式会社内
	(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 強誘電体容量素子

(57)【要約】

【目的】本発明は、強誘電体容量素子を含む集積回路を形成する工程における剥離や特性劣化を防止し、高信頼性、且つ低成本で形成できる構造を有する強誘電体容量素子を提供することを目的とする。

【構成】本発明は、Si酸化物やガラス等からなる基板11の上にTi等の接着層12が形成され、その上層には、Pt, Pd, Ag, Au等のいずれかの貴金属からなる下部電極13、強誘電体膜14、導電性酸化膜15、貴金属以外のAl, Al合金、AlSi, AlNi他、Ni合金、Cu合金、AlCu等の金属材料からなる上部電極16が積層形成された強誘電体容量素子である。



【特許請求の範囲】

【請求項1】 基板上に形成される貴金属からなる下部電極と、前記下部電極上に形成される強誘電体からなる強誘電体薄膜と、前記強誘電体薄膜上に形成される該強誘電体膜よりも還元能が高い導電性酸化膜と、前記酸化物導電性膜上に形成される貴金属以外の少なくとも1種類の金属材料からなる上部電極とで構成される強誘電体容量素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、強誘電体からなる容量素子を強誘電体メモリ及び半導体装置等への適用に関する。

【0002】

【従来の技術】 従来、強誘電体薄膜を用いた容量素子（キャパシタ）を半導体からなるメモリ装置や電子デバイスに応用する技術等が公開されている。例えば、日経エレクトロニクス誌“強誘電体セラミックスがLSIに載る”1992年5月24日号（No. 581）に詳しく記載されている。

【0003】 この強誘電体薄膜を容量素子として利用する場合には、その強誘電体薄膜の特性を効率よく利用することが重要である。すなわち、強誘電体の残留分極を大きく、誘電率は低く抑え、抗電圧を小さく、保持時間を長く、且つ繰り返し分転に耐える等の特性を形成時に持たせ、さらに、これらの特性をプロセスインテグレーションの中で変化させないようにする必要がある。

【0004】 その特性は、電極材料や界面状態、強誘電体の結晶層、グレインの大きさ等によって変化する。特に、電極に関しては図8(a)の積層構造に示すように、SiO₂基板1上の接着層（adhesive layer）2を介して、白金（Pt）からなる下部電極層3、強誘電体薄膜4、白金（Pt）からなる上部電極層5が積層され形成される。この形成工程で強誘電体薄膜4を酸素雰囲気中で熱処理するために、電極材料には酸化されない白金（Pt）、若しくは金（Au）、パラジウム（Pd）等が使われていた。

【0005】 この電極材料を他金属、特に導電性の酸化物への代替えの試みは、その物性や特性変化の点からも研究され、例えば、ITO (In_xSn_yO) 等の電極材料を用いれば、容量素子として組み込まれた強誘電体のヒステレス特性が向上する。すなわち、角形比を向上させることも知られている。しかし、実際には具体的なメカニズムは解明されず、電子部品等への利用もない。

【0006】 さらに公知な提案として、例えば特開平2-248089号公報には、電極としてペロブスカイト型導電性酸化膜を拡散防止とする例や、特開平4-85878号公報には、ITO等を電極として酸化時の酸素

の拡散防止の例が開示されている。また、特開平4-206869号公報及び特開平4-367211号公報には、ITO、RuO等の導電性酸化物を電極に用いて結晶性や特性を向上させる技術が提案されている。

【0007】

【発明が解決しようとする課題】 しかし、前述した従来構造の容量素子をCVD等により形成する場合に、雰囲気ガスに用いられるH₂を添加した還元性のガス下で強誘電体の特性が劣化すると問題があった。

【0008】 つまり、一般的なメモリ装置としては、CMOS又はNMOS構造を基本とするSi基板上に強誘電体を図8(b)に示すような積層構造が知られており、これを例として説明する。

【0009】 まず、ゲートとしてSi基板上にバスゲート型トランジスタで代表されるMOSFET6を形成する。次にこのゲートに接続するPt電極—強誘電体薄膜—Pt電極のメモリ容量7を形成し、さらに絶縁体からなる保護膜（パッシベーション層）9を形成した後、第3電極10を形成する。

【0010】 この形成工程において、形成されたMOSFET6は、メモリ容量7を形成する際にプラズマ中の荷電粒子や種々の形成工程における汚染にさらされる。このためV_{th}のシフトすなわち、サブスレッシュホールド特性の劣化、リーク電流の増加が問題となっている。

【0011】 このため劣化した特性を改善するために、H₂を2～10%の添加したN₂雰囲気ガス中で、例えば400～450°Cで所定時間アニール処理を行う。しかし、従来の強誘電体容量素子は、酸化膜と酸化物を作らないPt等の貴金属をベースとしている。通常、アニール処理における雰囲気ガス（還元性ガス）中では、酸化物は還元されて金属原子になる。

【0012】 この場合、Ptと強誘電体との界面近傍では結晶欠陥（酸素分子の欠乏等）が多数あり、この界面にH₂分子が拡散し易くなっている。このため強誘電体側が還元されて、その表面が金属化し、酸化物を作らないPtとその金属が界面で接合する。

【0013】 すなわち、その接合部分には、Ptと金属による合金化等が作られないため、膜と膜との接着力が極めて弱い。このため容量素子形成後の製作工程のうち、パッシベーション層9のバイアホールの開口部、上部電極3や下部電極5が第3電極10の形成時に、これらの膜の持つ強いストレスによって界面での剥離が生じる。この剥離はメモリセルを破壊するばかりでなく、界面に空気層を作り電気特性に悪影響を与える。

【0014】 前述した各公報には、これらの問題を解決できる内容の記載がない。そこで本発明は、強誘電体容量素子を含む集積回路を形成する工程における剥離や特性劣化を防止し、高信頼性、且つ低コストで形成できる構造を有する強誘電体容量素子を提供すること目的と

する。

【0015】

【課題を解決するための手段】本発明は上記目的を達成するために、基板上に形成される貴金属からなる下部電極と、前記下部電極上に形成される強誘電体からなる強誘電体薄膜と、前記強誘電体膜上に形成される該強誘電体膜よりも還元能が高い導電性酸化膜と、前記酸化物導電性膜上に形成される貴金属以外の少なくとも1種類の金属材料からなる上部電極とで構成される強誘電体容量素子を提供する。

【0016】

【作用】以上のような構成の強誘電体容量素子は、電極形成および／又は電極アロイ化プロセスにおける温度領域で強誘電体薄膜を形成する酸化膜よりも還元能の高い導電性を示す酸化物を貴金属以外の電極又は電極と強誘電体薄膜との間に形成され、製作工程に置ける熱処理の温度及び還元性のある雰囲気ガスによる強誘電体膜の特性劣化、剥離が防止される。

【0017】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。まず図1には本発明による強誘電体容量素子の概念的な構造を示し説明する。この強誘電体容量素子の構造は、Si酸化物やガラス等からなる基板11の上にTi等の接着層12が形成され、その上層には、Pt等の下部電極13、強誘電体膜14、導電性酸化膜15、貴金属以外の金属材料を用いた上部電極16が積層される。前記下部電極13は酸化されない貴金属Pt、Pd、Ag、Auからなる電極が好適する。一般的に、半導体装置の電極としては、Pt、Ag、Au等の貴金属以外の電極であれば、Al、Al合金、AlSi、AlNi他、Ni合金、Cu合金、AlCu等の金属が用いられている。

【0018】この強誘電体容量素子において、前記接着層12と下部電極13は、DCマグネットロンスパッタリング又はRFスパッタリングを用いて、基板温度20°C～250°Cの範囲で100～300nm厚で形成し、この後500°C～800°C酸素中でアニール処理する。また強誘電体層14は、ゲル・ソル法やMOD(有機金属法)により、スピンドル法又はMOCVD法、スパッタリング法等で形成する。

【0019】これらの材料としては、ペロブスカイト系、チタン酸塩系、例えばBaTiO₃、(Ba, Sr)TiO₃、SrTiO₃、PbTiO₃(PT)、Pb(Zr, Ti)O₃(PZT)、(Pb, La)(ZrTi)₃O₉、ニオブ酸塩系、例えばPb(Mg_{1/3}, Nb_{2/3})O₃、LiNb₃O₅、LiTaO₃、KNbO₃、K(Ta, Nb)O₃、タンダステン・ブロンズ系、例えば(Sr, Ba)Nb₂O₆、(Sr, Ba)_{0.8}R_xNa_{0.4}Nb₂O₆、(Pb, BA)Nb₂O₆、(K, Sr)Nb₂O₆、(Pb, K)Nb

₂O₆、Ba₂NaNb₅O₁₅、PBN、KSN、PKN、BNN、もしくはBi系レイヤードペロブスカイト系が好適する。

【0020】また製作工程に置ける熱処理は、強誘電体膜14の形成直後に酸素雰囲気中で、PZT系では500～700°C、Bi系では600～850°Cの温度で行う。次に導電性酸化膜15(CO)を形成する。この材料は、強誘電体膜14よりも還元能の高いものが望ましい。この還元能は、酸化能の逆数であり酸化のされ易さは、通常、酸化物の自由エネルギー(Free energy)で決まるが、これも(形成エンタルピー)-(温度)×(エントロピー)と温度と酸素O₂や水素H₂の分圧、且つ強誘電体膜14や導電性酸化膜15の構成要素によって決定されるため容易に自由エネルギーのみでは決定されず、経験的な組み合せによる。

【0021】前記導電性酸化膜15の材料として、PZT、PLZT、PBN、PKN、Pb(MgNb)O₆、PTO等のPbを含むペロブスカイト系が用いられる場合は、好ましくは、ZnO、Al₂O₃を0.5～5 atomic %含むZnO、又はSnO₂、In₂O₃、In₂O₃+SnO(5～30%含)又はTiO₂、ZrO₂、又は導電性立方晶銅酸化物Cu₆O₈・MC₁ここでMは、In、Y他の3価金属イオンを置換又はAg₅Pb₂O₆等酸化物、(St, La)CuO₂、PrBaCuO、YBa₂Cu₃O_{7-x}等の超電導物質が好適する。

【0022】一方、LiNbO₃、LiTaO₃、(Sv, Ba)NbO₃、(Pb, K)Nb₂O₆、Biレイヤードペロブスカイト系では、その形成温度がきわめい高いため、前述したZnO、SnO₂、InO₃、ITO、ZnO₂、YBCO等の他に、RuO₂、酸化レニウム、半導体化した強誘電体すなわち、SrTaO、BaSrTiO₃、Bi系超伝導体(Bi-2212, Bi₂Sr₂Ca₂O₈)、Bi-2201、Bi-2223、及びTl₂Ba₂Ca_{1-x}Nd_xCu₂O_y等が用いられる。

【0023】この導電性酸化膜15の形成温度は前記強誘電体層14の形成温度と同温若しくは、それより100～200°C前後低温で処理する。その上にPt、Ag、Au等の貴金属以外の電極16、すなわち、Al、Al合金、AlSi、AlNi、Ni、Ni合金、Cu合金等の電極材料をDCマグネットロンスパッタリングを用いて形成する。この後SOGやPSG等の酸化膜又は、Al₂O₃やSi₃N₄およびプラズマ中で作成されるP-SiO₂、低温CVDで形成される酸化膜の単独又は組み合せで行われる。この後開口部をRIE、イオンミリング、ウェットエッチング等で除去する。その後、例えばAl、Al合金、Al·Si、Al·Ni、Ni合金、AlCu合金又はCu、Cu合金又はTi、Ta、TiN、TiW等の単独又は重ね膜からなる第3電極26を形成する。

【0024】このようにして得られた構造は、MOS-T_rの特性を改善するために(H₂+N₂)又はN₂, Arガスによるアニール処理、すなわち酸素O₂を含まない比較的還元性のあるガス雰囲気中における400℃～550℃のアニール処理でも、最初に導電性酸化膜層の金属酸化物が還元されるのみで、強誘電体膜14の特性は劣化しない。また導電性酸化膜15の還元は、導電性をむしろ高める方向に働く。またAl合金はもともと界面に導電性のAl₂O₃を作る傾向にあり、これを一部還元されたとしても問題はない。このように還元性の雰囲気であっても強誘電体膜14の特性劣化がなく且つ剥離がないことを確認した。

【0025】次に図2には、本発明による第1実施例としての強誘電体容量素子とMOSFETと組み合せる強誘電体メモリ装置の概略的な構造を示し説明する。ここで、図2に示す構成部材で図1と同等の部材には、同じ参照符号を付して、その説明を省略する。

【0026】この強誘電体メモリ装置は、大別してMOSFET17と、強誘電体容量素子18とで構成される。前記MOSFET17は、SiもしくはGaAsの基板19の上方にソース20、ドレイン21、ゲート22が形成され、LOCOS領域23で電気的に分離され、それらを覆うPSC等のパッシベーション層25で形成される。

【0027】このパッシベーション層25上に形成された強誘電体容量素子18の上部電極16の一部が層間膜24から露出するように開口し、その上部電極16に接続する第3電極26を形成する。

【0028】その後、MOSFET17の特性改善を図るため、H₂+N₂混合ガスの雰囲気中で400～500℃の熱処理を施す。この場合、強誘電体自体や界面が還元に先立って、導電性酸化物15が還元され、かつAl等からなる上部電極16の界面に形成されるAl₂O₃は、容易に還元されないので、上部電極16—導電性酸化膜15、導電性酸化膜15—強誘電体膜14自身の特性に影響を与えることなく、剥離等の発生しない容量素子が形成される。

【0029】次に図3には本発明による第2実施例としての強誘電体容量素子の構造を示し説明する。この第2実施例は、強誘電体メモリ装置の強誘電体容量素子を取り出して特徴部分を述べたものであり、全体の構成は図2に示した強誘電体メモリ装置と同等である。ここで、図3に示す構成部材で図2に示す部材と同等の部材には同じ参照符号を付してその説明を省略する。

【0030】この強誘電体容量素子は、図2に示した強誘電体容量素子の下部電極27が2層からなり、下部にPt, Pd, Au等からなる貴金属層27aと、上部に導電性酸化膜(CO)27bとを形成した例である。この場合、下部電極27aは高温処理かつ酸素中の高温処理に耐え得るために貴金属を用いている。その上層に強

誘電体膜14、導電性酸化膜15、上部電極16を積層する。

【0031】このような場合に、導電性酸化膜27bは強誘電体膜14を強誘電体結晶層とするための熱処理温度よりも高温であっても耐え得る必要があり、材料としては、TiO₂, ZnO₂, RuO₂, 酸化レニウムの他に(Sr, La)CuO₂, PrBaCuO, YBa₂Cu₃O_{7-x}, (Bi-2212, Bi₂Sr₂Ca₂O₈)やBi2201, Bi2223等のBi系超伝導体, Tl₂Ba₂Ca_{1-x}Nd_xCu₂O_y等が好適する。

【0032】次に図4には、本発明による第3実施例としての強誘電体容量素子の構造を示し説明する。この第3実施例は、基本的な構造は図3の示す第2実施例と同一であり、導電性酸化膜15の上部に高融点金属膜28を形成したものである。この場合、高融点金属膜28を適当に選ぶことにより、上部電極16の材料の適用範囲を広げることができる。例えば導電性酸化膜27bにBi₂Sr₂CaCu₂O₈を用い、強誘電体膜14にBi層状化合物を用いた場合には、導電性酸化膜15にAlドープZnOを用いると、高融点金属膜28にはTiNやTi, TiW等を用い、且つ上部電極15には、AlやAlSi, AlCuSi等の自由な組み合せができる。これはTiN, Ti, TiWが接着層としても有効であり、また上部電極16及び高融点金属膜28を第3電極として、他の素子との間を結ぶ場合も有効である。

【0033】次に図5には、本発明による第4実施例としての強誘電体容量素子の構造を示し説明する。この第4実施例は、基本的な構造は図3に示した第2実施例と同一であり、特徴部分を述べるものである。

【0034】この強誘電体容量素子は、下部電極27は導電性酸化膜のみで形成されている。この構成を例えば、下部電極27をBi₂Sr₂CaCu₂O₇、強誘電体膜14をBi層状化合物、導電性酸化膜15をAlドープZnO、上部電極16をAl化合物で形成する。

【0035】また基板29にSiO₂等を用いた場合で、下部電極27が必ずしも良好な結晶状態にならない時に、下部電極27を比較的高温で形成すると、内部の自由キャリアにより金属的になり、より密着力及び結晶性が増加する。

【0036】また前記Bi系の強誘電体膜14は、SiO₂の上でもクラックがはいらず、きわめて高温800～850℃の処理後でも、きわめて平坦性の良い多結晶体が得られることを見いだしており、下部電極27にBi系超電導体、強誘電体膜14にBi系層状化合物を用いると最も秀れた効果が得られる。

【0037】次に図6には、本発明による第5実施例としての強誘電体容量素子の構造を示し説明する。この第5実施例は、基本的な構造は図3に示した第2実施例と同一であり、特徴部分を述べるものである。

【0038】この強誘電体容量素子は、金属からなる上部電極16は形成せず、導電性酸化膜27a、15で強誘電体膜14を挟んで構成する例である。次に図7には、本発明による第6実施例としての強誘電体容量素子の構造を示し説明する。ここで第6実施例の構成部材で図2の構成部材と同等の部材には、同じ参照符号を付してその説明を省略する。

【0039】この第6実施例は、強誘電体容量素子を前述した第5実施例の下部電極（導電性酸化膜27a）27—強誘電体膜14—上部電極（導電性酸化膜）15の構造に形成した後、その上層に保護膜24をSOGやBPSG、P-SiO₂等の方法にて形成する。そしてMOS17のドレイン21、強誘電体容量素子の下部電極27、上部電極15の一部を露出するようにコンタクトホールを開口した後、ドレイン21と下部電極27を接続する、若しくは上部電極を取り出すための第3電極26を形成する。

【0040】この実施例において、下部電極（導電性酸化膜27a）27—強誘電体膜14—上部電極（導電性酸化膜）15による構造の容量素子は、全て酸化物で構成しているため、基板29となるSiO₂に対して、きわめて強い接着力があり、さらに熱処理（雰囲気ガスを含む）に対する安定性が高い。この後、通常の製作工程にて、例えばA1からなる電極や配線を形成し、メモリ装置を製作する。

【0041】以上のように本実施例の強誘電体容量素子は、MOSFETなどの他の駆動素子と同一基板に形成する際に生じる剥離や結晶欠陥の発生を防ぎ、高信頼性で、且つ低コストで形成することができる。従って、高密度の不揮発性メモリを高信頼、低成本で製造できる。また本発明は、前述した実施例に限定されるものではなく、他にも発明の要旨を逸脱しない範囲で種々の変形や応用が可能であることは勿論である。

【0042】

【発明の効果】以上詳述したように本発明によれば、強誘電体容量素子を含む集積回路を形成する工程における剥離や特性劣化を防止し、高信頼性、且つ低成本で形成できる構造を有する強誘電体容量素子を提供することができる。

【図面の簡単な説明】

【図1】本発明による強誘電体容量素子の概念的な構造を示す図である。

【図2】本発明による第1実施例としての強誘電体容量素子とMOSFETと組み合せる強誘電体メモリ装置の概略的な構造を示す図である。

【図3】本発明による第2実施例としての強誘電体容量素子の構造を示す図である。

【図4】本発明による第3実施例としての強誘電体容量素子の構造を示す図である。

【図5】本発明による第4実施例としての強誘電体容量素子の構造を示す図である。

【図6】本発明による第5実施例としての強誘電体容量素子の構造を示す図である。

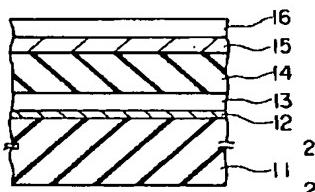
【図7】本発明による第6実施例としての強誘電体容量素子の構造を示す図である。

【図8】従来の強誘電体薄膜用いた容量素子の構造を示す図である。

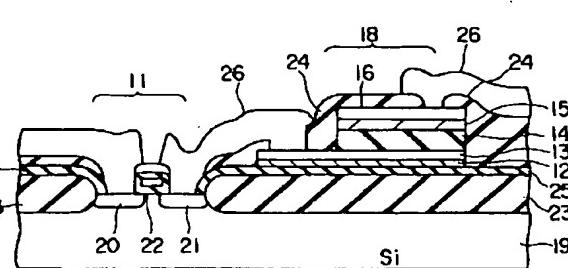
【符号の説明】

1…SiO₂基板、2、12…接着層（adhesive layer）、3、13、27…下部電極層、4、14…強誘電体薄膜、5、16…上部電極層、6、17…MOSFET、7、18…メモリ素子、8…絶縁層、9、24…パッシベーション層、10、26…第3電極、11、19…基板、15、27b…導電性酸化膜、19…SiもしくはGaAsの基板、20…ソース、21…ドレイン、22…ゲート、23…LOCOS領域、27…貴金属層、28…高融点金属膜。

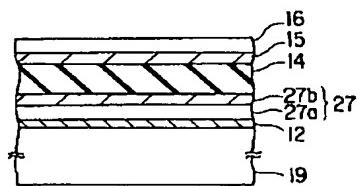
【図1】



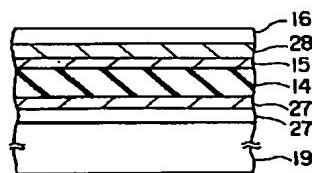
【図2】



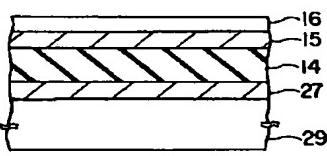
【図3】



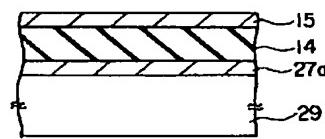
【図4】



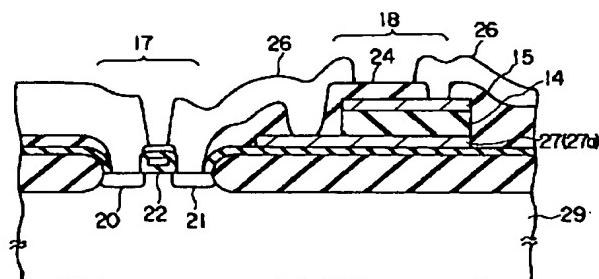
【図5】



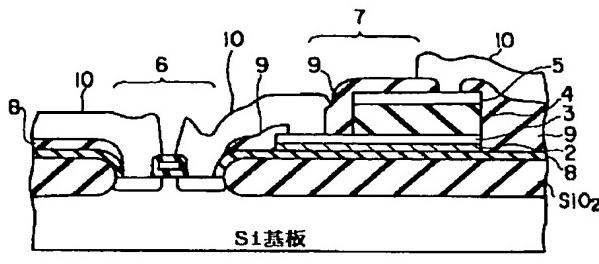
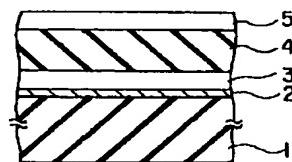
【図6】



【図7】



【図8】



フロントページの続き

(51) Int.Cl.⁶

C 23 C 14/08

H 01 L 27/04

21/822

21/8242

27/108

27/10 4 5 1 7210-4M

39/02 Z A A B 9276-4M

識別記号 庁内整理番号

N 9271-4K

F I

技術表示箇所